

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-223360

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

G06F 12/08

G06F 12/12

(21)Application number : 2002-019905

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.01.2002

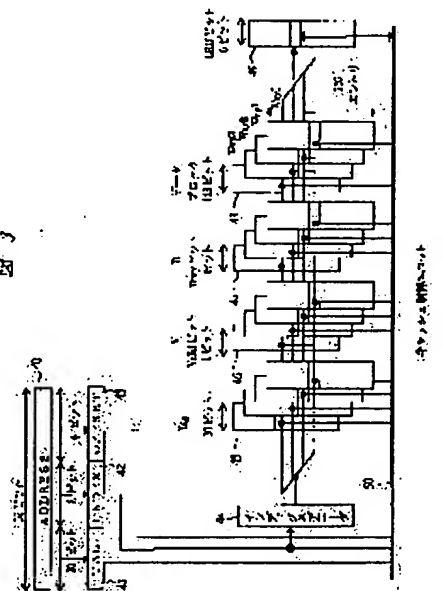
(72)Inventor : TAWARA YASUHIRO

## (54) CACHE MEMORY SYSTEM AND MICROPROCESSOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a cache memory control technology for improving through-put by reducing any unnecessary data transfer between a main memory and a cache memory, and reducing power consumption accompanying the data transfer, and relaxing the congestion of paths of the data transfer.

SOLUTION: This cache memory system in which a main CPU is connected with a main memory constituted of an ROM and an RAM through an external bus is constituted of 4-way set associative caches where each Way has Tag 45, Valid bit 46, Dirty bit 47, and data block 48. At the time of driving cache entry out of the cache, when the Dirty bit 47 is set as 1, the data of the data block 48 are written in the main memory, and when the Dirty bit 47 is cleared as 0, the data of the data block 48 are not written in the main memory but discarded.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Laid-Open Patent Application No. 2003 - 223360**  
**Publication**

[0071] In the initialization process in Step S302, the following substitutions are performed with respect to variables S, R, E, B, MASK, SS, and EE: Start address of the memory area to be released  $\rightarrow$  S; Byte size of the memory to be released  $\rightarrow$  R; S+R (end address of the memory area to be released)  $\rightarrow$  E; Byte size of the cache block  $\rightarrow$  B; NOT (B-1)  $\rightarrow$  MASK; S AND MASK+{B if {S AND (B-1)} $\neq$ 0, 0 if {S AND (B-1)}=0}  $\rightarrow$  SS; E AND MASK  $\rightarrow$  EE, where NOT x has a 32-bit width and indicates the inverse for each bit of x; x AND y has a 32-bit width and indicates the AND between each bits of x and y.

[0073] Here, the aforementioned variables S, R, E, B, MASK, SS, and EE shall be explained using FIG. 7.

[0074] In FIG. 7, when: the variable S corresponding to the start address of the memory area to be released=0x100C; the variable R corresponding to the byte size of the memory to be released=0x38; the variable E corresponding to the end address of the memory area to be released=S+R=0x100C+0x38= 0x1044; and the variable B corresponding to the byte size of the cache block=16, the corrected variable MASK=NOT (B-1)=NOT(0-F)=0xFFFFFFFF0; the amended variable SS=0x1010; and the variable EE=0x1040.

[0075] Stated differently, SS is a value obtained by rounding up S (the start address of the memory area to be released=0x100C) to a multiple of B (cache block byte size=16), and EE is a value obtained by rounding down E (the end address of the memory area to be released=0x1044) to a multiple of B. More specifically, it is necessary to exclude the memory areas shown broken lines in FIG. 7, as they may be in use elsewhere.

[0076] In the present embodiment, the present invention is applied as an instruction for supporting the release of a stack area. The mnemonic and operand of the memory release instruction is indicated as follows.

[0077] MREL Rn, IMM

Rn: Register name

IMM: Immediate value having a predetermined number of bits

Where, through the MREL instruction, the operation indicated in the operation

algorithm of the memory release instruction MREL Rn, IMM in FIG. 8 is executed.

[0078] Now, the case is assumed where the stack area is released just before a return from a function. By using MREL R15, 32, when the stack pointer indicates R15, and the memory size to be released is 32 bytes,  $R15 \leftarrow R15 + 32$  is executed and, along with releasing a 32-byte area of the stack, a dirty bit in the cache entry of the area between the pre-change R15 and the post-change R15 is cleared. When clearing a dirty bit, as indicated in S401 and S402 in FIG. 8, the range for releasing is calculated so that a cache entry, which includes an address which is not a subject for release, becomes a subject for the release.

[0079] More specifically, in the operation of the memory release instruction MREL Rn, IMM in FIG. 8, first, after starting (Step S400), the variables S, R, E, B, MASK, SS, and EE are each substituted in the initialization in Step 401, as follows: start address of the memory area to be released  $Rn \rightarrow S$ ; Byte size of the memory to be released  $IMM \rightarrow R$ ; End address of the memory area to be released  $(S+R) \rightarrow E$ ; Byte size of the cache block  $\rightarrow B$ ;  $NOT (B-1) \rightarrow MASK$ ;  $S AND MASK + \{B \text{ if } \{S AND (B-1)\} \neq 0, 0 \text{ if } \{S AND (B-1)\} = 0\} \rightarrow SS$ ;  $E AND MASK \rightarrow EE$ .

FIG. 6

図 6

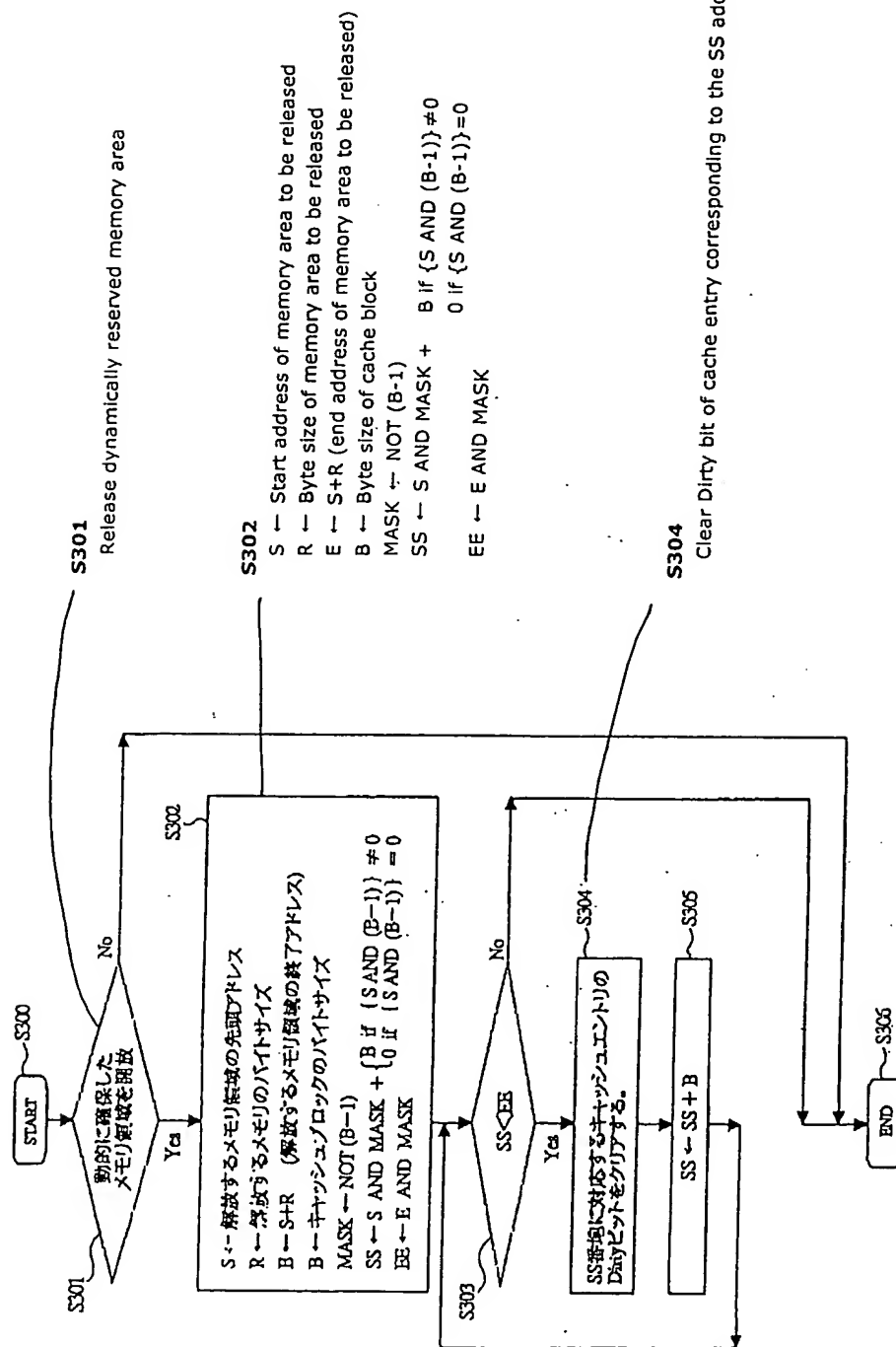
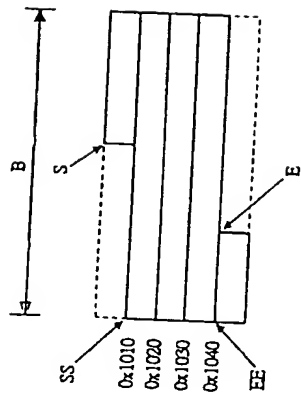


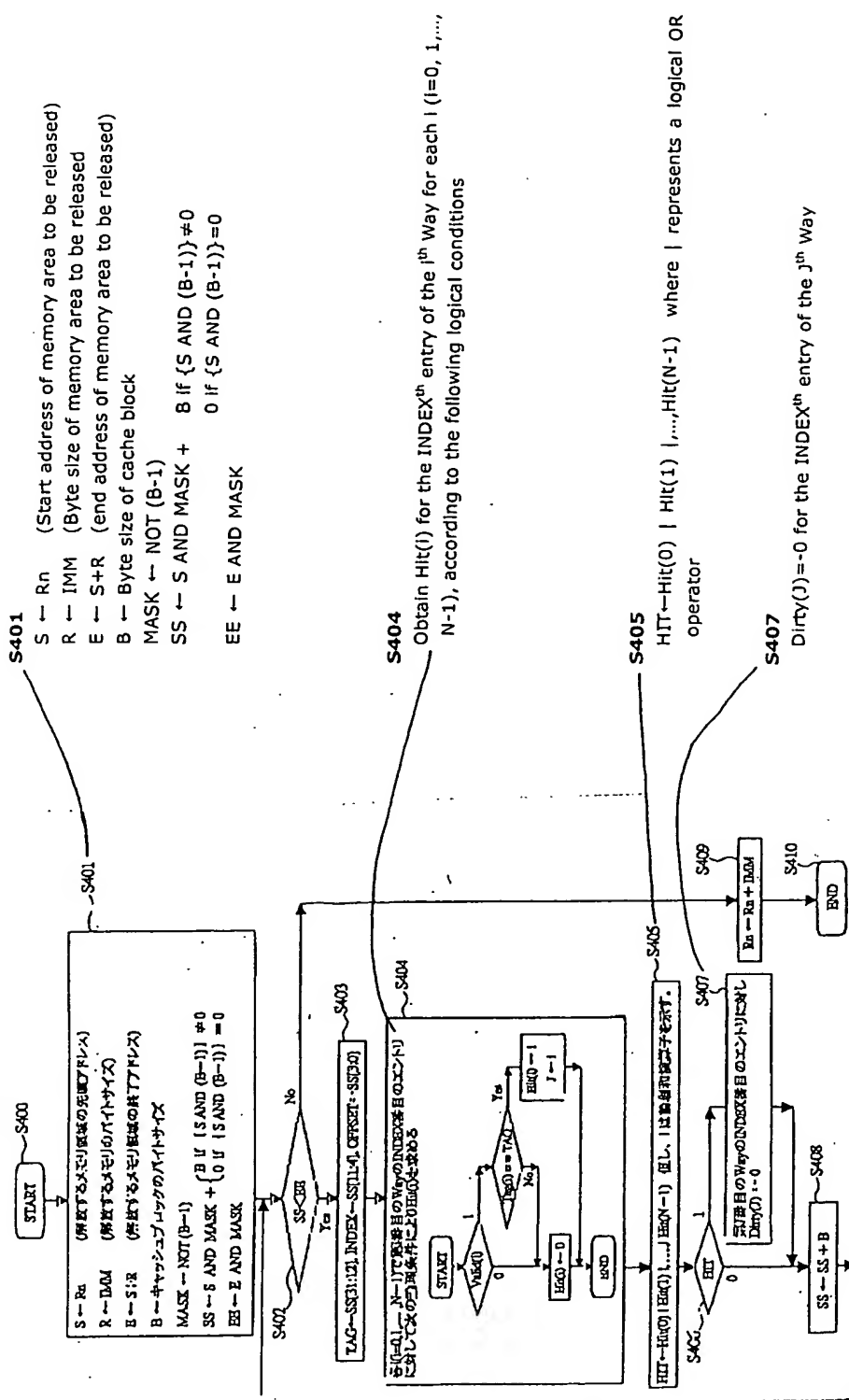
FIG. 7



【図8】

FIG. 8

8



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-223360

(P2003-223360A)

(43) 公開日 平成15年8月8日(2003.8.8)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	キーワード(参考)
G 0 6 F 12/08	5 0 7	C 0 6 F 12/08	5 0 7 F 5 B 0 0 J
	5 0 1		5 0 1 C
	5 5 9		5 5 9 E
			5 5 9 Z
	5 6 1		5 6 1

審査請求 未請求 請求項の数7 OL (全 14 頁) 最終頁に続く

(21) 出願番号 特願2002-19905(P2002-19905)

(22) 出願日 平成14年1月29日(2002.1.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田原 康宏

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム(参考) 5B005 JJ11 KK12 MM01 NN45 PP03

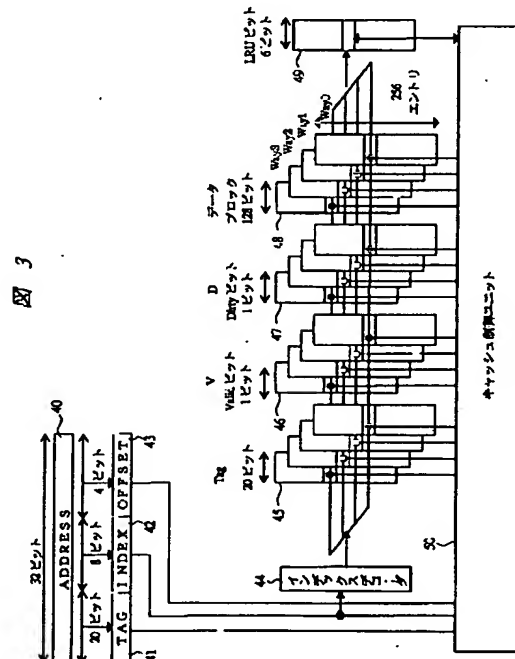
QQ05

(54) 【発明の名称】 キャッシュメモリシステムおよびマイクロプロセッサ

(57) 【要約】

【課題】 主記憶装置とキャッシュメモリとの間の不要なデータ転送を削減して、データ転送に伴う電力消費を削減し、データ転送の経路の混雑を緩和してスループットを向上させることができるキャッシュメモリ制御技術を提供する。

【解決手段】 メインCPUと、ROMとRAMからなる主記憶装置とが外部バスを通じて相互に接続されているキャッシュメモリシステムであって、4-wayセットアソシエティブキャッシュからなり、各WayはTag 45、Validビット46、Dirtyビット47、データブロック48を持つ。キャッシュエントリをキャッシュから追出すときに、Dirtyビット47が1にセットされていたらデータブロック48のデータを主記憶装置に書き込み、0にクリアされていたらデータブロック48のデータを主記憶装置に書き込まないで捨ててよい。



【特許請求の範囲】

【請求項1】 ライトバック方式のキャッシュメモリを有し、

前記キャッシュメモリ上に確保した領域のダーティビットを操作する命令を実行可能とすることを特徴とするキャッシュメモリシステム。

【請求項2】 請求項1記載のキャッシュメモリシステムにおいて、

前記命令はメモリ解放命令であり、このメモリ解放命令のニモニクとオペランドは、

MREL Rn, IMM

Rn: レジスタ名

IMM: 所定のビット数の即値

であることを特徴とするキャッシュメモリシステム。

【請求項3】 請求項1記載のキャッシュメモリシステムにおいて、

前記命令はダーティビットクリア命令であり、このダーティビットクリア命令のニモニクとオペランドは、DCBDC @Rn

Rn: はレジスタ名

であることを特徴とするキャッシュメモリシステム。

【請求項4】 請求項2または3記載のキャッシュメモリシステムにおいて、

前記Rn: レジスタ名は、スタック領域に動的に確保したメモリ領域を解放するために使用可能なレジスタであることを特徴とするキャッシュメモリシステム。

【請求項5】 請求項2または3記載のキャッシュメモリシステムにおいて、

前記Rn: レジスタ名は、ヒープ領域に動的に確保したメモリ領域を解放するために使用可能なレジスタであることを特徴とするキャッシュメモリシステム。

【請求項6】 請求項1記載のキャッシュメモリシステムにおいて、

前記命令の実行を指示するプロセッサと、主記憶装置とをさらに有し、

前記プロセッサの指示に基づいて前記主記憶装置内の特定のアドレスが指す領域を確保して所定のプログラム処理を行い、

前記確保した領域を前記キャッシュメモリ上に確保して使用した後に、前記プロセッサの指示により前記主記憶装置に確保した領域を解放するとき、前記キャッシュメモリ上に確保した領域のダーティビットをクリアするように制御することを特徴とするキャッシュメモリシステム。

【請求項7】 ライトバック方式のキャッシュメモリを有し、

前記キャッシュメモリ上に確保した領域のダーティビットを操作する命令を実行可能とすることを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャッシュメモリ制御技術に関し、たとえばマイクロプロセッサ、マイクロコンピュータ、マイクロコントローラのキャッシュメモリなどを有するキャッシュメモリシステムにおいて、特にダイナミックに確保したメモリ領域を解放するときのキャッシュメモリ制御方式に適用して有効な技術に関する。

【0002】

【従来の技術】本発明者が検討したところによれば、キャッシュメモリ制御技術については、たとえば特開平11-338772号、特開平4-268638号、特開平4-264641号、特開平4-188326号、特開平6-28253号、特開平9-231133号の各公報に記載される技術などが挙げられる。

【0003】前記公報の技術においては、主記憶装置にダイナミックに確保した領域をキャッシュメモリのエントリとして読み込んだ状態で、主記憶装置の当該領域を解放したときに、当該キャッシュエントリのValidビットをクリアすることにより当該キャッシュエントリを無効にしている。

【0004】

【発明が解決しようとする課題】ところで、前記のようなキャッシュメモリ制御技術について、本発明者が検討した結果、以下のようなことが明らかとなった。以下において、本発明者が本発明の前提として検討した技術を、図10～図12を用いて説明する。図10はスタックの使用方法、図11はキャッシュの状態、図12はINDEXが0xA8のキャッシュエントリ、をそれぞれ示す説明図である。

【0005】[スタックの一般的使い方の説明: 図10] 使用前のスタックポインタSPは、 $SP = 0 \times \text{FEDCBA90}$  という値を持つと仮定する。0xは、次に続く文字列が16進数であることを示す接頭辞である。スタックに $0 \times 10$ バイトの領域を確保するときは、 $SP \leftarrow SP - 0 \times 10$  を実行する。すると、 $SP = 0 \times \text{FEDCBA80}$  となる。

【0006】ユーザ旧 $SP = 0 \times \text{FEDCBA90}$ と、現 $SP = 0 \times \text{FEDCBA80}$ との間にある $0 \times 10$ バイトのメモリ領域が使用可能となる。たとえば、  
(SP+0) 番地にデータ $0 \times 01234567$ 、  
(SP+4) 番地にデータ $0 \times 89ABCDEF$ 、  
(SP+8) 番地にデータ $0 \times 01234567$ 、  
(SP+12) 番地にデータ $0 \times 89ABCDEF$ 、  
を書き込む。これらのデータが不要になり、もはやこれらのデータのためにメモリ領域を確保しておく必要がなくなった時に、  
 $SP \leftarrow SP + 0 \times 10$

を実行する。すると、SPは旧SPの値に戻り、確保さ



れた0x10バイトのメモリ領域は解放される。

【0007】スタック用メモリ領域のうち、SPより若いアドレスにあるメモリ領域は未使用で解放されているメモリ領域である。スタック用メモリ領域のうち、SPよりアドレスが大きいメモリ領域は既に確保されているメモリ領域である。

【0008】[ライト時のキャッシュ動作: 図11] 図11は、(SP+4)番地、つまり0xFEDCBA84番地にデータ0xFFEEDDCCを書き込んだ後のキャッシュの状態を示している。

【0009】書き込むアドレス0xFEDCBA84がADDRESS60として扱われ、ADDRESSのMSB側から20ビットはTAG61、次の8ビットはINDEX62、最後の4ビットはOFFSET63に分解して扱う。Way J64のINDEX=0xA8のエントリが本書き込み前にInvalid状態(ValidビットV=0)となっていて、Way Jが本書き込みのために選ばれたと仮定する。本エントリでV=0のとき、Tag、Dirtyビット(Dビット)、データブロックには不定値が入っているが、本書き込みによりTagに0xFEDCB、Vビットに1、Dビットに1、データブロックのオフセットがOFFSET=4の位置から4バイトにデータ0xFFEEDDCCが書かれる。

【0010】本説明では、ライトバック方式のキャッシュメモリを仮定しているため、主記憶装置とキャッシュエントリのデータブロックとのコヒーレンシがとれない場合に、Dビットを1にセットする。本データブロックの残りの部分にはライトアロケート機能により、主記憶装置の対応するアドレスからデータをリードする。このときの状態が図11である。

【0011】[本発明の前提技術の具体的な説明: 図12] 本発明の前提技術では、 $SP \leftarrow SP + 0 \times 10$

で、スタックの0x10バイトのメモリ領域を開放すると同時に、解放したメモリ領域が割り付けられているキャッシュエントリのValidビット(Vビット)を0にクリアしてInvalidにしている。仮に、Vビットをクリアしない場合、本キャッシュエントリがLRUアルゴリズムによってキャッシュの外に追い出されるときに、Dビットが1ならばデータブロックの内容が主記憶装置に書き戻される。しかし、本来このデータブロックの内容は既に解放された領域のデータなので、主記憶装置に書き戻しても再度利用されることはなく、書き戻しは無駄である。従って、書き戻しが発生しないようにVビットをクリアすることにより、無用な書き戻しが発生しないようにしていた。当該キャッシュエントリをInvalidにした状態を図12(a)に示す。

【0012】[本発明の前提技術の課題] 前述した本発明の前提技術の課題は、ライトアロケート方式のキャッ

シュメモリにおいて、一度解放した領域と同一のアドレス範囲を再度確保した場合に露呈する。本発明の前提技術では、解放したときにValidビットをクリアするので、当該キャッシュエントリが無効になり、タグやデータを失う。同じアドレス範囲を再度確保して最初に書き込んだときに、タグが失われているので、新たにキャッシュエントリを割り付ける必要がある。ライトアロケート方式に従うと、書き込んだデータを除くキャッシュエントリのデータを主記憶装置からキャッシュエントリに読み込む。このデータ転送により電力を消費したり、データ転送の経路を混雑させて性能が劣化することが、課題として考えられる。この課題を克服することが本発明の目的である。

【0013】たとえば、0xFEDCBA80から始まる16バイトのスタック領域を解放したときに、本発明の前提技術により図12(a)のように当該キャッシュエントリをInvalidにしたと仮定する。次に、0xFEDCBA84番地に0BBBBAAAAという値を書き込み、同じWayにアロケートされたと仮定すると、図12(b)の状態になる。このとき、当該データブロックのライトした4バイトデータを除く部分は主記憶装置から読み込まれる。この読み込みにより消費される電力を削減することと、この読み込みによるデータを転送する経路の混雑をなくし、スループットを向上することが本発明の目的である。

【0014】すなわち、本発明の目的は、主記憶装置とキャッシュメモリとの間の不要なデータ転送を削減して、データ転送に伴う電力消費を削減し、データ転送の経路の混雑を緩和してスループットを向上させることができるキャッシュメモリ制御技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明によるキャッシュメモリシステムは、ライトバック方式のキャッシュメモリを有し、このキャッシュメモリ上に確保した領域のダーティビットを操作する命令を実行可能とするものである。特に、前記命令は、メモリ解放命令MREL Rn, IMM、あるいはダーティビットクリア命令DCBDC @Rn、であり、スタック領域、あるいはヒープ領域に動的に確保したメモリ領域を解放するために使用可能なレジスタに適用するものである。

【0018】さらに、前記キャッシュメモリシステムにおいて、命令の実行を指示するプロセッサと、主記憶装置とを有し、プロセッサの指示に基づいて主記憶装置内

の特定のアドレスが指す領域を確保して所定のプログラム処理を行い、この確保した領域をキャッシュメモリ上に確保して使用した後に、プロセッサの指示により主記憶装置に確保した領域を解放するとき、キャッシュメモリ上に確保した領域のダーティビットをクリアするように制御するものである。

【0019】すなわち、本発明は、本発明の前提技術において、主記憶装置の解放した領域に対応するキャッシュエントリのValidビットをクリアしていたのに対して、本発明では当該キャッシュエントリのDirtyビットをクリアする点を特徴とするものである。

【0020】これにより、Dirtyビットをクリアしたキャッシュエントリがキャッシュに残っている場合に、同一のアドレス範囲にある主記憶装置の領域を新たに確保し、この領域に最初にデータを書き込んだ時に本発明の効果が現れる。既に当該アドレス範囲に対応するキャッシュエントリがキャッシュに存在するため、ライトアロケートする必要がなく、データ転送が発生しない。よって、データ転送のための電力消費を発生せず、データ転送の経路を混雑させて性能を劣化させることもない。

【0021】また、DirtyビットをクリアしたキャッシュエントリがLRUアルゴリズムなどによりキャッシュから追い出される場合においても、Dirtyビットがクリアされているために、キャッシュエントリのデータを主記憶装置に書き戻す必要がなく、書き戻しのためのデータ転送が発生しない。よって、データ転送のための電力消費を発生せず、データ転送の経路を混雑させて性能を劣化させることもない。

【0022】たとえば、0xFEDCBA80から始まる16バイトのスタック領域が、前述した図11のようにWay JのINDEX=0xA8のキャッシュエントリに割り付けられている状態で、本領域を解放したときに、本発明では図12(c)のように当該キャッシュエントリのDirtyビットを0にクリアする。このキャッシュエントリがキャッシュの外に追い出されないうちに0xFEDCBA84番地に0BBBBAAAAという値を書き込むと、図12(d)の状態になる。このとき、当該データブロックのライトしたデータを除く部分は主記憶装置から読み込まれることはなく、データブロックに元々書かれていた値である。従って、本発明の前提技術ではライトアロケート方式により主記憶装置からの読み込みが発生していたが、本方式ではこの読み込みが発生しない。この読み込みにより消費される電力を削減され、この読み込みによるデータを転送する経路の混雑は発生せず、スループットを向上することができる。

【0023】また、図12(c)の状態のキャッシュエントリがLRUアルゴリズムによりキャッシュの外に追い出されるとき、Dirtyビットが0にクリアされて

いるため、書き戻しのためのデータ転送の電力消費を発生せず、データ転送の経路を混雑させて性能を劣化させることもない。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】まず、図1により、本発明を応用した本発明の一実施の形態の携帯電話システムの構成の一例を説明する。図1は本実施の形態の携帯電話システムを示す説明図であり、(a)は平面図、(b)は機能ブロック図をそれぞれ示す。

【0026】本実施の形態の携帯電話システムは、無線信号を送受信する無線部101、送受信信号を変調/復調処理するベースバンド回路102、信号をフィルタ処理するDSP103、アナログ/デジタル変換するA/D変換器104、信号増幅するAF回路105、音声を出力するスピーカ106、音声を入力するマイク107からなる電話機能部と、表示信号を演算処理する操作部・CPU108、表示用のLCD109、LCD109を駆動するLCDドライバ110、キー入力するキー入力部111からなる表示機能部と、全体の演算処理を司るメインCPU112、主記憶装置のROM113、RAM114、フラッシュメモリ115からなる制御機能部などから構成されている。

【0027】電話機能部における受信時は、無線信号を無線部101で受信すると、この無線信号がベースバンド回路102により復調処理され、さらにDSP103によりフィルタ処理された後に、A/D変換器104によりアナログ信号からデジタル信号に変換される。そして、デジタル信号は、AF回路105により増幅され、スピーカ106を通じて音声信号として出力される。

【0028】さらに、送信時は、マイク107から音声を入力すると、音声信号がAF回路105により増幅され、さらにA/D変換器104によりデジタル信号からアナログ信号に変換される。そして、DSP103によりフィルタ処理され、ベースバンド回路102により変調処理された後に、無線部101を通じて無線信号として送信される。

【0029】また、表示機能部においては、電話の情報や付加的に設けられた電子メールなどの各種情報が操作部・CPU108により演算処理され、これらの各種情報がLCDドライバ110を介してLCD109に表示される。また、キー入力部111からの入力により、各種機能の選択や、電子メールの文字入力などを行うことができる。

【0030】また、制御機能部においては、携帯電話システムの全体の演算処理がメインCPU112で実行され、このメインCPU112による各種演算処理は、たとえばROM113やフラッシュメモリ115に記憶されている各種プログラムに基づいて行われ、これらの各

種演算処理のデータは随時、たとえばRAM114に格納される。この制御機能部のメインCPU112、ROM113、RAM114からなる部分についての詳細は後述する。

【0031】次に、図2により、前記図1のメインCPUとROMとRAMからなる部分のキャッシュメモリシステムの構成の一例を説明する。図2はメインCPUとROMとRAMからなる部分のキャッシュメモリシステムを示すブロック図である。

【0032】図2において、キャッシュメモリシステムは、プロセッサであるメインCPU1と、ROMとRAMからなる主記憶装置2とは外部バス3を通じて相互に接続されている。なお、図2におけるメインCPU1は図1のメインCPU112に対応し、また図2における主記憶装置2のROMとRAMは図1のROM113とRAM114にそれぞれ対応する。

【0033】メインCPU1には、データキャッシュ10、命令キャッシュ11、ライトバッファ12、制御ユニット13、命令バッファ14、命令デコードユニット15、レジスタファイル16、スタックポインタ6、プログラムカウンタ17、演算回路18、メモリデータアクセスユニット19、ライトバックユニット20、バスユニット21が設けられ、これらの各ユニットは内部アドレスバス22、内部データバス23に任意に接続されている。また、このメインCPU1のバスユニット21は、外部アドレスバス24、外部データバス25、外部制御信号線26を通じて、外部バス3、主記憶装置2に接続されている。

【0034】主記憶装置2には、ROM4、RAM5が設けられている。ROM4には、メインCPU1を制御するプログラムと定数データが書き込まれている。RAM5には、静的に確保されるメモリ領域と、ヒープ領域とスタック領域のように動的に確保されるメモリ領域がある。

【0035】続いて、メインCPU1の動作を説明する。プログラムカウンタ17は命令アドレスを保持し、この命令アドレスにある命令を命令キャッシュ11から命令バッファ14に送る。このとき、命令キャッシュ11は命令アドレスの内容を保持していない場合は、内部アドレスバス22と内部データバス23、バスユニット21、外部アドレスバス24と外部データバス25と外部制御信号線26、外部バス3を経由して主記憶装置2にあるROM4から命令を読み込み、所定の形式で保持する。

【0036】命令バッファ14から命令を命令デコードユニット15に転送し、命令デコード結果が制御ユニット13を介して、レジスタファイル16から必要ならばデータを読み出し、演算回路18、メモリデータアクセスユニット19、ライトバックユニット20からなるデータバスを通り処理される。

【0037】メモリデータアクセスユニット19はデータキャッシュ10に対してアドレスを生成し、当該アドレスのデータ読み出しをデータキャッシュ10に要求し、データキャッシュ10は所定の処理を行い、要求されたデータをメモリデータアクセスユニット19に出力する。

【0038】ライトバックユニット20は、レジスタファイル16、または、データキャッシュ10にデータを出力する。出力先がデータキャッシュ10の場合は、書き込むデータ、および、書き込み先アドレスをデータキャッシュ10に出力する。

【0039】[データの読み出し] データキャッシュ10に当該アドレスのデータがある場合は、データキャッシュ10が要求を処理する。データキャッシュ10に当該アドレスのデータがない場合、当該アドレスは内部アドレスバス22を経由してバスユニット21に転送される。バスユニット21は、外部アドレスバス24と外部制御信号線26に信号を出力して、外部バス3に要求を出し、主記憶装置2にあるROM4またはRAM5からデータを読み出す。読み出したデータは、外部制御信号線26の信号により外部バス3から外部データバス25を経由してバスユニット21に転送され、内部アドレスバス22を経由してデータキャッシュ10に読み込まれる。データキャッシュ10は所定の形式でデータを保持する。

【0040】[データの書き込み] データキャッシュ10に書き込み先アドレスのデータが保持されている場合は、データキャッシュ10の所定の場所にデータを書き込む。ここでは、ライトアロケート方式のキャッシュを仮定している。データキャッシュ10に当該アドレスのデータが保持されていない場合、データキャッシュ10にデータを保持する場所を確保し、データを書き込む。確保した場所のサイズが書き込んだデータのサイズより大きい場合は、書き込んだデータを除く部分を主記憶装置2から読み込む。

【0041】ここでは、ライトバック方式のキャッシュを仮定している。データキャッシュ10が主記憶装置2に書き込みを要求する場合は、当該アドレスとデータは、ライトバッファ12に一時的に保持され、それぞれ内部アドレスバス22と内部データバス23を経由し、バスユニット21に転送される。バスユニット21は、外部アドレスバス24と外部データバス25と外部制御信号線26に信号を出力して、外部バス3に要求を出し、主記憶装置2にあるRAM5に対してデータを書き込む。

【0042】本実施の形態では、命令キャッシュ11とデータキャッシュ10が分離されている例を示しているが、命令キャッシュ11とデータキャッシュ10を融合したキャッシュにおいても、本発明を実施することができる。

【0043】また、データキャッシュ10と主記憶装置2の間に二次キャッシュがある場合、データキャッシュおよび二次キャッシュにおいても、本発明を実施することが可能である。

【0044】次に、図3により、キャッシュの構成の一例を説明する。図3はキャッシュの構成を示す説明図である。

【0045】本例は、4-wayセットアソシエティブキャッシュである。Way0, Way1, Way2, Way3の4つのWayからなり、各WayはTag45、Validビット(Vビット)46、Dirtyビット(Dビット)47、データブロック48を持つ。

【0046】1つのWayは256エン트리からなり、各エント리는20ビットのTag45、1ビットのValidビット46、1ビットのDirtyビット47、128ビットのデータブロック48からなる。

【0047】ADDRESS40は、リードまたはライトを要求されているアドレスを示す。本例では32ビットである。TAG41は、本例ではADDRESS40のMSB側の20ビットである。OFFSET43は、本例ではADDRESS40のLSB側の4ビットである。INDEX42は、TAG41とOFFSET43の間にある8ビットである。

【0048】INDEX42は、インデックスデコーダ44により、各Wayの256個のエント리의INDEX番目の1つを指す。TAG41は、キャッシュエントリアにあるTag45に保持される。データブロック48のアドレスは、キャッシュエントリアにあるTag45とINDEXから復元することができる。

【0049】Validビット46が1にセットされている場合、当該エント리가有効であり、0にクリアされている場合は無効である。

【0050】Dirtyビット47が1にセットされている場合、データブロック48の内容が書き込みにより、主記憶装置の対応するメモリブロックより新しいデータに更新されていることを示す。Dirtyビット47が0にクリアされている場合は、一般には主記憶装置の対応するメモリブロックと同じデータを持つことを示す。キャッシュエントリアをキャッシュから追い出すときに、Dirtyビット47が1にセットされていたらデータブロック48のデータを主記憶装置に書き込み、0にクリアされていたらデータブロック48のデータを主記憶装置に書き込まないで捨ててよい。

【0051】LRUビット49で、Way数を $n$ とすると各INDEX番目のLRUビットは、 $n \times (n-1) / 2$

個のビット数からなる。本例は4wayなので、LRUビット49は各INDEXで、 $4 \times 3 / 2 = 6$

により6ビットからなる。つまり、LRUビット49は

4つのWayで同じインデックス番号を持つエントリの4つの中から選ぶべき組み合わせは6ペアあり、各ペアに関して新旧関係をビットで表現している。6つのビットの値からLeast-Recently-Used (LRU) のエントリアを見つけることができる。

【0052】キャッシュ制御ユニット50による、リードの場合の動作を図4に示し、ライトの場合の動作を図5に示す。このキャッシュ制御ユニット50は、たとえば前記図2のデータキャッシュ10の一部として構成される。図4はキャッシュのリード動作を示すフロー図、図5はキャッシュのライト動作を示すフロー図である。

【0053】キャッシュのリード動作は、図4に示すように、まず開始後(ステップS100)、ステップS101において、TAGにADDRESS[31:12]、INDEXにADDRESS[11:4]、OFFSETにADDRESS[3:0]をそれぞれ代入する。

【0054】さらに、ステップS102において、各 $i$  ( $i=0, 1, \dots, N-1$ )で第 $i$ 番目のWayのINDEX番目のエントリアに対して、Valid( $i$ )=1でTag==TAGのとき、 $1 \rightarrow \text{Hit}(i)$ 、 $i \rightarrow J$ 、Valid( $i$ )=0、あるいはValid( $i$ )=1でTag==TAGでないとき、 $0 \rightarrow \text{Hit}(i)$ 、の論理条件によりHit( $i$ )を求める。そして、ステップS103において、求めたHit(0)、Hit(1)、 $\dots$ 、Hit( $N-1$ )を論理和演算し、HITに代入する。

【0055】さらに、ステップS104において、HITを判別し、HIT=1、すなわち1つでもヒットしたときは、ステップS105において、第J番目のWayのINDEX番目のエントリアのデータブロックのOFFSETにより指されているアドレスからアクセスサイズのデータを読み込む。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。

【0056】また、HIT=0、すなわち1つもヒットしないときは、ステップS106において、0から $N-1$ のWayのINDEX番目のエントリアのうち、あるK番目のWayでV(K)=0を判別し、Noのときは、ステップS107において、全WayのINDEX番目のエントリアからLRUブロックを選択し、これが第K番目のWayにあると仮定する。

【0057】さらに、ステップS108において、D(K)を判別し、D(K)=1のときは、ステップS109において、第K番目のWayのINDEX番目のエントリアのTag(K)とデータブロックおよびINDEXをライトバッファに待避する。当該エントリアのデータブロックのOFFSETに対応するワードからラップアラウンド方式で外部メモリからデータを読み込み、該当するデータがキャッシュへ到達した時点でCPUへ読み

出しデータを返す。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。当該エントリで、TAG→Tag(K)、0→D(K)、1→V(K)のそれぞれの代入を行い、ライトバッファのデータを待避してあるTag(K)およびINDEXが指すアドレスに書き込む。

【0058】また、ステップS108においてD(K)=0、あるいはステップS106におけるV(K)=0の判別の結果がYesのときは、ステップS110において、第K番目のWayのINDEX番目のエントリのデータブロックのOFFSETに対応するワードからラップアラウンド方式で外部メモリからデータを読み込み、該当するデータがキャッシュへ到達した時点でCPUへ読み出しデータを返す。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。当該エントリで、TAG→Tag(K)、1→V(K)、0→D(K)のそれぞれの代入を行う。

【0059】キャッシュのライト動作は、図5に示すように、開始後(ステップS200)、前記リード動作と同様に、ステップS201～S203において処理した後、ステップS204において、HITを判別し、HIT=1のとき、ステップS206でV(K)=0となるWay Kが存在せずステップS207でWay KがLRUとなりステップS208でD(K)=1のとき、D(K)=0(ステップS208)、あるいはステップS206であるWay Kに対しV(K)=0の判別の結果がYesのときは、それぞれ以下になる。

【0060】HIT=1のときは、ステップS205において、第J番目のWayのINDEX番目のエントリのデータブロックのOFFSETにより指されているアドレスにアクセスサイズのデータを書き込む。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。1→D(J)の代入を行う。

【0061】ステップS208でD(K)=1のときは、ステップS209において、第K番目のWayのINDEX番目のエントリのTag(K)とデータブロックおよびINDEXをライトバッファに待避する。当該エントリのデータブロックのOFFSETが指すアドレスにアクセスサイズのデータを書き込み、データブロックの残りの部分へ外部メモリからデータを読み込む。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。当該エントリで、TAG→Tag(K)、1→D(K)、1→V(K)のそれぞれの代入を行い、ライトバッファのデータを待避してあるTag(K)およびINDEXが指すアドレスに書き込む。

【0062】ステップS208でD(K)=0、あるいはステップS206であるWay Kに対しV(K)=0の判別の結果がYesのときは、ステップS210に

おいて、第K番目のWayのINDEX番目のエントリのデータブロックのOFFSETが指すアドレスにアクセスサイズのデータを書き込み、データブロックの残りの部分へ外部メモリからデータを読み込む。本ブロックをmost-recently-usedにLRUフィールドをアップデートする。当該エントリで、TAG→Tag(K)、1→D(K)、1→V(K)のそれぞれの代入を行う。

【0063】本発明は、ライトバック方式かつライトアロケート方式のキャッシュで効果がある。以下において、ライトバック方式、ライトアロケート方式を説明する。

【0064】ライトバック方式は、ライトスルー方式と対になるキャッシュ制御方式である。ライトスルー方式では、あるアドレスにライトするときに、キャッシュに当該アドレスのエントリがあれば、そのデータブロックにライトするとともに主記憶装置の当該アドレスにもライトする。この場合、エントリのデータブロックの内容が主記憶装置の当該メモリブロックの内容と一致するので、Dirtyビットを1にセットする必要はない。

【0065】ライトバック方式では、あるアドレスにライトするときに、キャッシュに当該アドレスのエントリがあれば、そのデータブロックにライトするが、主記憶装置にはライトしない。この時、Dirtyビットに1をセットしてデータブロック内容が主記憶装置の当該メモリブロックの内容と一致しないことを表す。

【0066】ライトアロケート方式は、あるアドレスのライトにより当該アドレスが属するメモリブロックをキャッシュエントリに割り付ける方式である。リードした場合は、通常キャッシュエントリに割り付けるが、ライトの場合はライトアロケートかライトスルーかの選択の余地がある。ライトアロケート方式でライトの当該アドレスをキャッシュエントリに割り付けた場合、ライトした部分ではないデータを主記憶装置からキャッシュのデータブロックに読み込む。

【0067】[第1の実施の形態] 本実施の形態を、図6、図7および図8により説明する。図6は動的に確保される領域のキャッシュ制御方式を示すフロー図、図7は図6と図8とで使用している変数の説明図、図8はメモリ解放命令の動作を示すフロー図である。

【0068】本実施の形態では、前述したデータキャッシュをインプリメントしたCPUを考える。ライトバック方式かつライトアロケート方式とを仮定している。

【0069】本実施の形態は、図6の動的に確保された領域のキャッシュ制御方式のアルゴリズムを実現するためのものである。本実施の形態の例では図6のステップS301の判別はコンパイラまたはプログラマにより既になされているものとする。また、図8のステップS409に示すようにスタック解放に使用できるようにレジスタの値を解放したサイズだけ加算する機能を付け加え

ている。

【0070】すなわち、図6において、動的に確保された領域のキャッシュ制御方式は、まず開始後（ステップS300）、ステップS301の動的に確保したか否かの判別処理において、動的に確保したメモリ領域を解放したか否かを判別し、解放していないとき（No）は終了（ステップS306）となり、解放している場合（Yes）は、ステップS302以降の処理に進む。

【0071】ステップS302の初期化処理において、変数S、R、E、B、MASK、SS、EEに対し、解放するメモリ領域の先頭アドレス→S、解放するメモリのバイトサイズ→R、S+R（解放するメモリ領域の終了アドレス）→E、キャッシュブロックのバイトサイズ→B、NOT（B-1）→MASK、S AND MASK + {B if {S AND（B-1）} ≠ 0, 0 if {S AND（B-1）}=0} → SS、E AND MASK → EE、のそれぞれの代入を行う。ここでNOT xは32ビット幅でxのビット毎の反転を表す。x AND yは32ビット幅でxとyとのビット毎の論理積を表す。

【0072】さらに、ステップS303のループ終了判別処理において、SS<EEを判別し、Noのときは終了となり、Yesの場合は、ステップS304のDirtyビットクリア処理において、SS番地に対応するキャッシュエントリのDirtyビットをクリアし、そしてステップS305のアドレスカウンタアップデート処理において、SS+B→SSの代入を行った後、ステップS303からの処理を繰り返す。

【0073】ここで、図7により、前述したS、R、E、B、MASK、SS、EEの変数を具体的に説明する。

【0074】図7においては、たとえば、解放するメモリ領域の先頭アドレスに対応する変数S=0x100C、解放するメモリのバイトサイズに対応する変数R=0x38、解放するメモリ領域の終了アドレスに対応する変数E=S+R=0x1000C+0x38=0x10044、キャッシュブロックのバイトサイズに対応する変数B=16、とした場合に、補正の変数MASK=NOT（B-1）=NOT（0xF）=0xFFFFF0となり、補正後の変数SS=0x1010、変数EE=0x1040となる。

【0075】言い換えれば、SSはS（解放するメモリ領域の先頭アドレス=0x100C）をB（キャッシュブロックのバイトサイズ=16）の倍数に切り上げた数、EEはE（解放するメモリ領域の終了アドレス=0x1044）をBの倍数に切り捨てた数となる。すなわち、図7において、破線のメモリ領域は他で使っているかもしれないので除外する必要がある。

【0076】本実施の形態では、スタック領域の解放をサポートする命令として、本発明を採用している。この

メモリ解放命令のニモニックとオペランドを以下に示す。

【0077】MREL Rn, IMM

Rn: レジスタ名

IMM: 所定のビット数の即値

MREL命令は、図8のメモリ解放命令MREL Rn, IMMの動作のアルゴリズムに表した動作を行う。

【0078】今、スタック領域を関数からリターンする直前に解放する場合を考える。スタックポインタをR15、解放したいメモリサイズを32バイトとすると、MREL R15, 32

により、R15←R15+32を実行して、スタックの32バイトの領域を解放するとともに、変更前のR15と変更後のR15で挟まれた領域のキャッシュエントリのDirtyビットがクリアされる。Dirtyビットをクリアするときは、図8のステップS401とS402に書かれているように、解放の対象となっていないアドレスを含むキャッシュエントリは解放の対象外とするように解放の範囲を計算している。

【0079】すなわち、図8において、メモリ解放命令MREL Rn, IMMの動作は、まず開始後（ステップS400）、ステップS401の初期化処理において、変数S、R、E、B、MASK、SS、EEに対し、解放するメモリ領域の先頭アドレスRn→S、解放するメモリのバイトサイズIMM→R、解放するメモリ領域の終了アドレス（S+R）→E、キャッシュブロックのバイトサイズ→B、NOT（B-1）→MASK、S AND MASK + {B if {S AND（B-1）} ≠ 0, 0 if {S AND（B-1）}=0} → SS、E AND MASK → EE、のそれぞれの代入を行う。

【0080】さらに、ステップS402のループ終了判別処理において、SS<EEを判別し、Noのときは、ステップS409のレジスタアップデート処理において、Rn+IMM→Rn、の代入を行って終了（ステップS410）となり、Yesの場合は、ステップS403以降の処理に進む。

【0081】ステップS403のアドレス分解処理において、TAGにSS[31:12]、INDEXにSS[11:4]、OFFSETにSS[3:0]をそれぞれ代入する。さらに、ステップS404のキャッシュヒット判別処理において、各i（i=0, 1, ..., N-1）で第i番目のWayのINDEX番目のエントリに対して、Valid(i)=1でTag==TAGのとき、1→Hit(i)、i→J、Valid(i)=0、あるいはValid(i)=1でTag≠TAGでないとき、0→Hit(i)、の論理条件によりHit(i)を求める。そして、ステップS405のキャッシュヒット集計処理において、求めたHit(0), Hit(1), ..., Hit(N-1)を論理和演算し、H

ITに代入する。

【0082】さらに、ステップS406のキャッシュヒット判別処理において、HITを判別し、HIT=1、すなわち1つでもヒットしたときは、ステップS407のDirtyビットクリア処理において、第J番目のWayのINDEX番目のエントリに対し0→Dirty(J)の代入を行った後、ステップS408に進む。

【0083】また、HIT=0、すなわち1つもヒットしないときは、ステップS408のアドレスカウンタアップデート処理において、SS+B→SSの代入を行った後に、ステップS402からの処理を繰り返して実行する。

【0084】なお、マルチタスク方式でスタック領域がタスク毎に排他的に割り付けられている場合も、本実施の形態の例をそのまま適用できる。

【0085】【第2の実施の形態】本実施の形態は、前記第1の実施の形態の変形例である。前記第1の実施の形態で示した、MREL命令に指定するレジスタはスタックポインタに使われているレジスタだけとは限らない。ヒープ領域に動的に確保したメモリ領域を解放するときに使うことができる。

【0086】具体的には、C言語の標準ライブラリ関数にあるfree関数の内部で解放した領域に対してMREL命令を施す例がある。解放する領域の先頭アドレスをR1、解放するバイト数を100とすると、MREL R1, 100

を実行することにより、解放した領域に対応するキャッシュエントリのダーティビットがクリアされる。

【0087】【第3の実施の形態】本実施の形態を、図9により説明する。図9はDirtyビットクリア命令の動作を示すフロー図である。

【0088】本実施の形態では、前記図6のステップS304をCPUの命令として実現したものである。Dirtyビットクリア命令のニモニックとオペランドを以下に示す。

【0089】DCBDC @Rn

Rn: レジスタ名

DCBDC命令は、図9のDirtyビットクリア命令DCBDC @Rnの動作のアルゴリズムに表した動作を行う。

【0090】すなわち、図9において、Dirtyビットクリア命令DCBDC @Rnの動作は、まず開始後(ステップS500)、ステップS501の対象アドレス取得処理において、SSにRn(アドレス)を代入する。

【0091】さらに、ステップS502のアドレス分解処理において、TAGにSS[31:12]、INDEXにSS[11:4]、OFFSETにSS[3:0]をそれぞれ代入する。さらに、ステップS503のキャッシュヒット判別処理において、各i(i=0, 1,

..., N-1)で第i番目のWayのINDEX番目のエントリに対して、Valid(i)=1でTag==TAGのとき、1→Hit(i)、i→J、Valid(i)=0、あるいはValid(i)=1でTag==TAGでないとき、0→Hit(i)、の論理条件によりHit(i)を求める。そして、ステップS504のキャッシュヒット集計処理において、求めたHit(0), Hit(1), ..., Hit(N-1)を論理和演算し、HITに代入する。

【0092】さらに、ステップS505のキャッシュヒット判別処理において、HITを判別し、HIT=1、すなわち1つでもヒットしたときは、ステップS506のDirtyビットクリア処理において、第J番目のWayのINDEX番目のエントリに対し0→Dirty(J)の代入を行って終了(ステップS507)となる。また、HIT=0、すなわち1つもヒットしないときは、終了となる。

【0093】従って、前記実施の形態によれば、主記憶装置の解放した領域に対応するキャッシュエントリのDirtyビットをクリアすることにより、このDirtyビットをクリアしたキャッシュエントリがキャッシュに残っている場合に、同一のアドレス範囲にある主記憶装置の領域を新たに確保し、この領域に最初にデータを書き込んだ時に、既に当該アドレス範囲に対応するキャッシュエントリがキャッシュに存在するため、ライトアロケートする必要がなく、データ転送が発生しない。よって、データ転送のための電力消費を発生せず、データ転送の経路を混雑させて性能を劣化させることもない。

【0094】また、DirtyビットをクリアしたキャッシュエントリがLRUアルゴリズムなどによりキャッシュから追い出される場合においても、Dirtyビットがクリアされているために、キャッシュエントリのデータを主記憶装置に書き戻す必要がなく、書き戻しのためのデータ転送が発生しない。よって、データ転送のための電力消費を発生せず、データ転送の経路を混雑させて性能を劣化させることもない。

【0095】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0096】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0097】(1)ダイナミックに確保した主記憶装置の領域を解放するときに、対応するキャッシュエントリのDirtyビットをクリアすることで、再度同一領域を確保した場合に、同一キャッシュエントリにライトアロケートが発生しないので、ライトアロケートによるキ

キャッシュメモリと主記憶装置間のデータ転送をなくすことが可能となる。

【0098】(2)前記(1)により、主記憶装置とキャッシュメモリとの間の不要なデータ転送を削減することができるので、このデータ転送に伴う電力消費を削減し、データ転送の経路の混雑を緩和してスループットを向上させることが可能となる。

【図面の簡単な説明】

【図1】(a)、(b)は本発明の一実施の形態の携帯電話システムを示す説明図である。

【図2】本発明の一実施の形態において、メインCPUとROMとRAMからなる部分のキャッシュメモリシステムを示すブロック図である。

【図3】本発明の一実施の形態において、キャッシュの構成を示す説明図である。

【図4】本発明の一実施の形態において、キャッシュのリード動作を示すフロー図である。

【図5】本発明の一実施の形態において、キャッシュのライト動作を示すフロー図である。

【図6】本発明の一実施の形態において、動的に確保される領域のキャッシュ制御方式を示すフロー図である。

【図7】本発明の一実施の形態において、変数の説明図である。

【図8】本発明の一実施の形態において、メモリ解放命令の動作を示すフロー図である。

【図9】本発明の一実施の形態において、Dirtyビットクリア命令の動作を示すフロー図である。

【図10】本発明の前提として検討した技術において、スタックの使用法を示す説明図である。

【図11】本発明の前提として検討した技術において、キャッシュの状態を示す説明図である。

【図12】(a)～(d)は本発明の前提として検討した技術および本発明の技術において、INDEXが0xA8のキャッシュエントリを示す説明図である。

【符号の説明】

1 メインCPU

2 主記憶装置

3 外部バス

4 ROM

5 RAM

6 スタックポインタ

10 データキャッシュ

11 命令キャッシュ

12 ライトバッファ

13 制御ユニット

14 命令バッファ

15 命令デコードユニット

16 レジスタファイル

17 プログラムカウンタ

18 演算回路

19 メモリデータアクセスユニット

20 ライトバックユニット

21 バスユニット

22 内部アドレスバス

23 内部データバス

24 外部アドレスバス

25 外部データバス

26 外部制御信号線

40 ADDRESS

41 TAG

42 INDEX

43 OFFSET

44 インデックスデコーダ

45 Tag

46 Validビット

47 Dirtyビット

48 データブロック

49 LRUビット

50 キャッシュ制御ユニット

60 ADDRESS

61 TAG

62 INDEX

63 OFFSET

64 Way J

101 無線部

102 ベースバンド回路

103 DSP

104 A/D変換器

105 AF回路

106 スピーカ

107 マイク

108 操作部・CPU

109 LCD

110 LCDドライバ

111 キー入力部

112 メインCPU

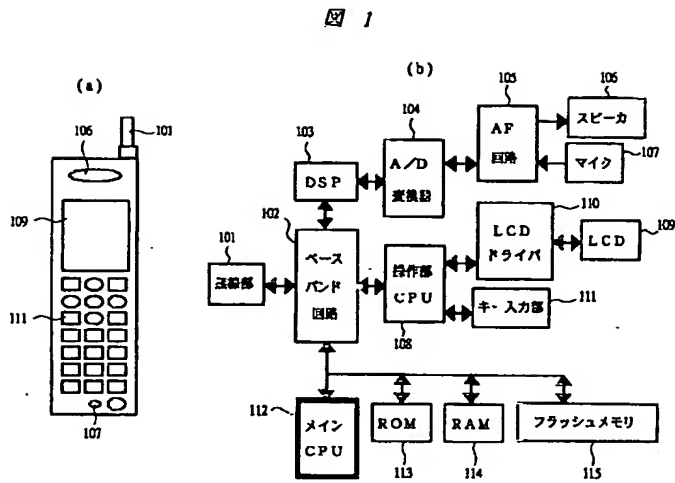
113 ROM

114 RAM

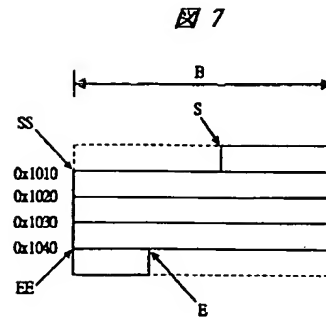
115 フラッシュメモリ



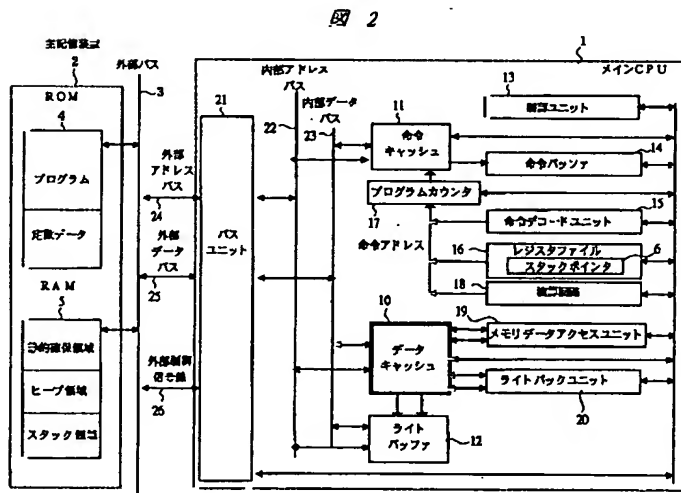
【☒ 1】



【図7】



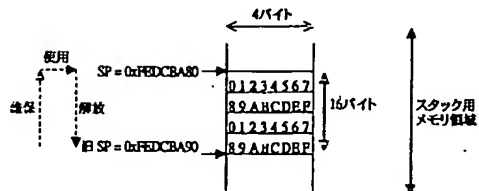
【図2】



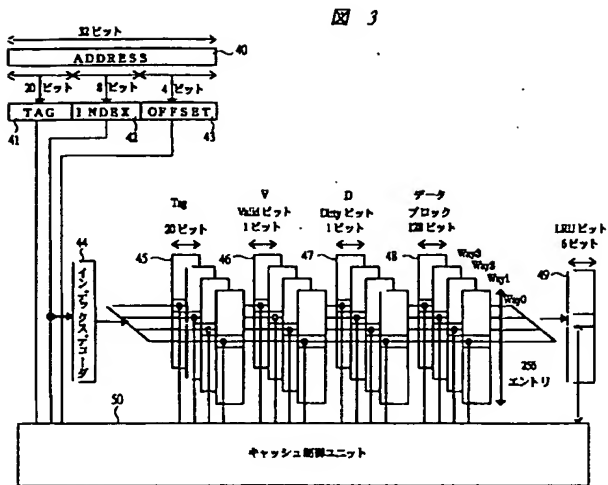
【☒ 10】

**10**

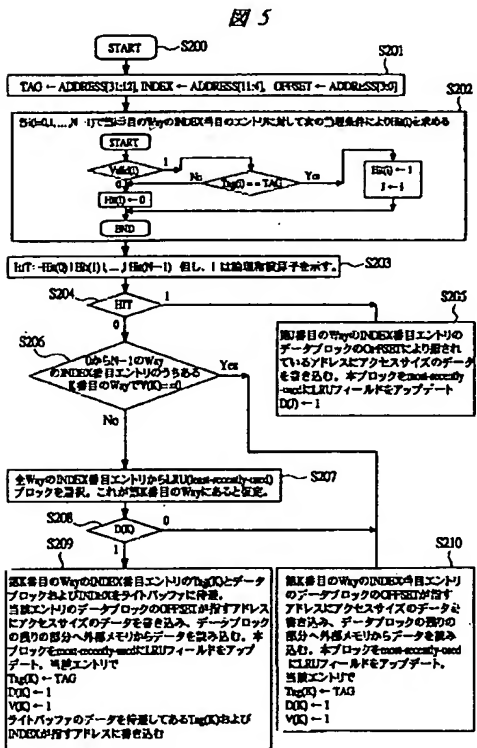
### 主記憶装置のRAM



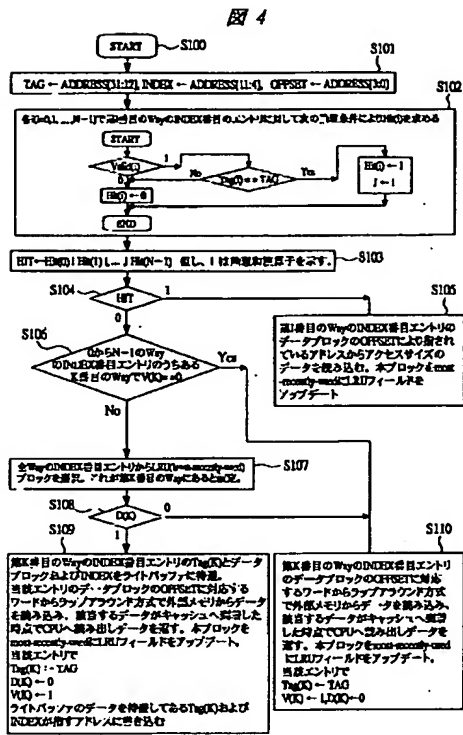
【図3】



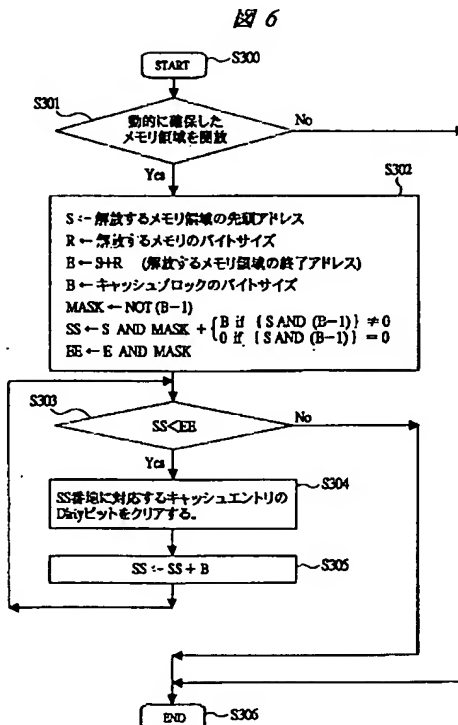
【図5】



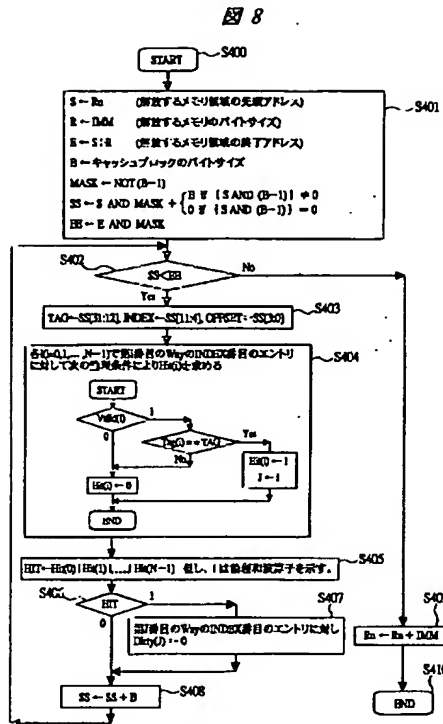
【图4】



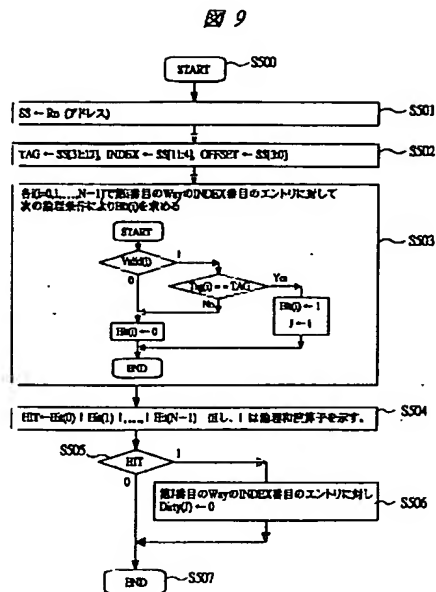
【図6】



【図8】

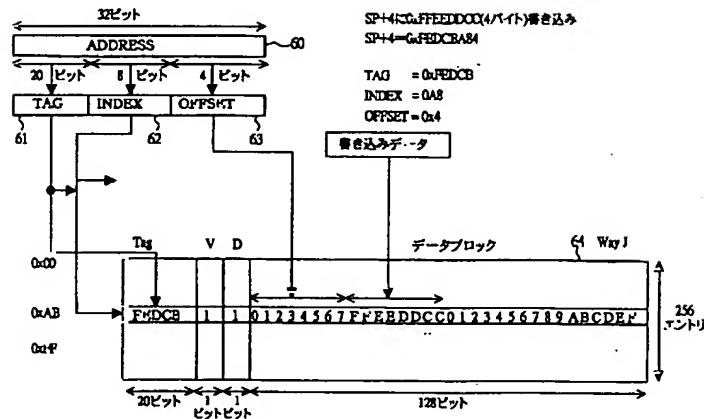


【図9】

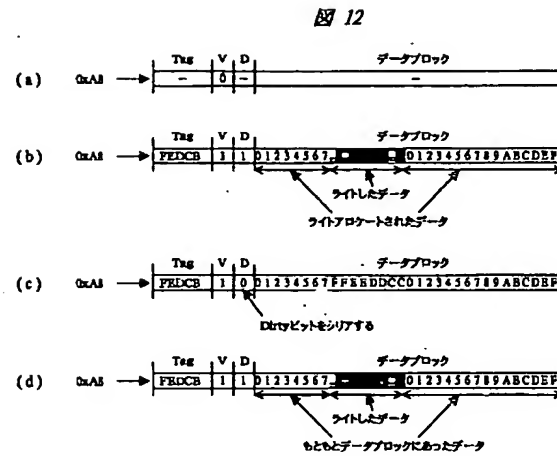


【図11】

図 11



【図12】



フロントページの続き

(51)Int.Cl.<sup>7</sup>G 0 6 F 12/08  
12/12

識別記号

5 7 9  
5 0 3

F I

G 0 6 F 12/08  
12/12

(参考)

5 7 9  
5 0 3